

2025 IEEE CICC Review

고려대학교 전기전자공학과 박사과정 한창우

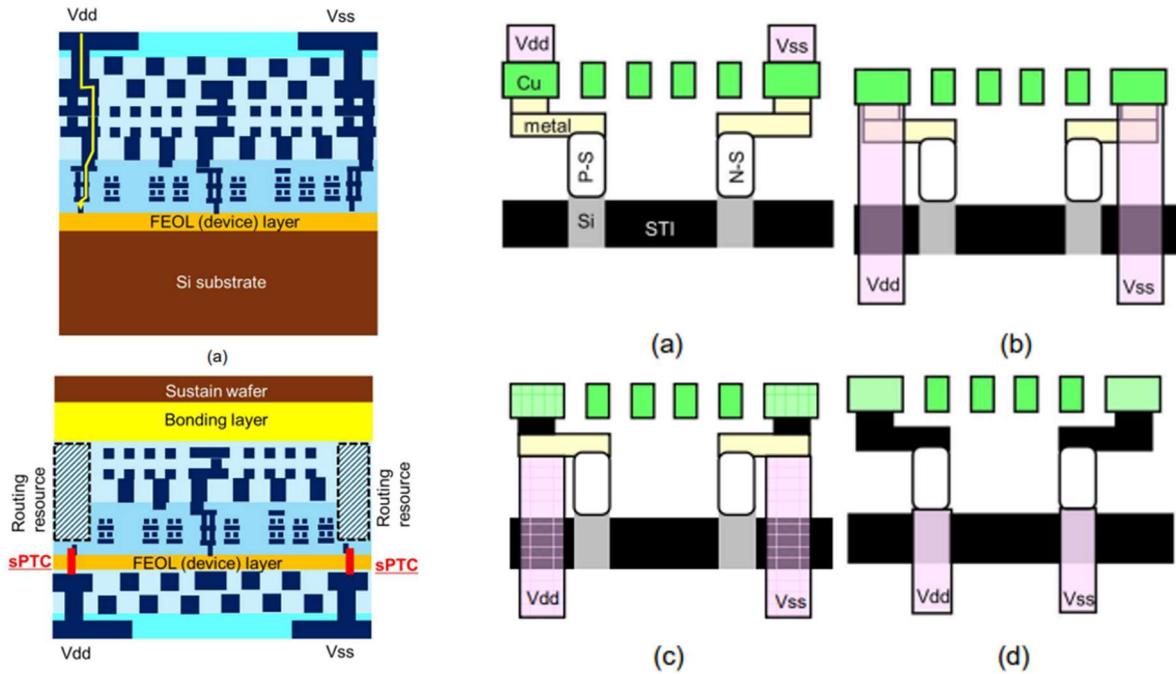
Session 10: Emerging Paradigms for AI, HPC, and Edge Computation

이번 IEEE CICC 2025의 Session 10에서는 AI, 고성능 컴퓨팅(HPC), 엣지 컴퓨팅 등 차세대 컴퓨팅 패러다임을 위한 새로운 회로 설계 기술들을 중심으로 총 6편의 논문이 발표되었다. 본 세션에서는 디지털 및 아날로그 회로, 신소자 기반 구조 등을 통해 연산 효율성과 확장성, 내구성을 동시에 확보하기 위한 다양한 접근법이 제시되었으며, AI 추론 가속기, 최적화 문제 해결 회로, 메모리 기반 연산 구조 등 실용적인 응용 중심의 연구들이 포함되었다. Session 10 중에서도, BSPDN 기반의 전력 공급 회로 설계 및 STT-MRAM 기반 고신뢰성 비휘발성 메모리 설계를 다룬 2편의 논문을 중심으로 살펴보고자 한다.

#10-4 본 논문은 삼성전자에서 발표한 논문으로, 2nm 이후 노드의 SoC 및 HPC 응용을 위해 1세대 Back Side Power Delivery Network (BSPDN)을 적용한 표준 셀 기반 로직 블록의 PPA (성능-전력-면적) 향상 효과를 실리콘 기반으로 실증하였다. 기존 Front Side Power Delivery Network (FSPDN)는 상단 메탈층에서 하단 파워 레일까지 전력을 공급하면서 복잡한 배선 경로와 큰 IR-drop이 발생하였으며, 이로 인해 블록 레벨에서의 성능 한계가 존재했다.

이에 비해 BSPDN은 후면에서 전력을 직접 공급하는 구조로 IR-drop을 줄이고, 전면 배선 공간을 확보할 수 있어 로직 블록 성능을 향상시킬 수 있다. 본 논문에서는 특히 초박막 실리콘 기판과 소형 Power Tap Cell (sPTC) 기반의 BSPDN 구조를 구현하고, 다양한 셀 높이 및 배선 조건 하에서의 INV/NAND/NOR Ring Oscillator를 실측하였다. 그 결과, 기존 FSPDN 대비 최대 6% 속도 향상, 7.5% 성능 개선, 5%의 동적 전력 절감이 가능함을 보였으며, 셀 높이를 18%까지 축소하는 데에도 성공하였다.

또한 BSPDN 적용 시 우려되었던 주변 트랜지스터 특성 변화는 V_{th} 의 변화량을 20% 이내로 억제하며 안정성을 확보하였고, 초박막 실리콘 기반에서도 standby leakage 증가 없이 성능을 유지함으로써 고집적 로직 블록에서 면적과 전력을 동시에 최적화할 수 있는 가능성을 실험적으로 입증하였다.

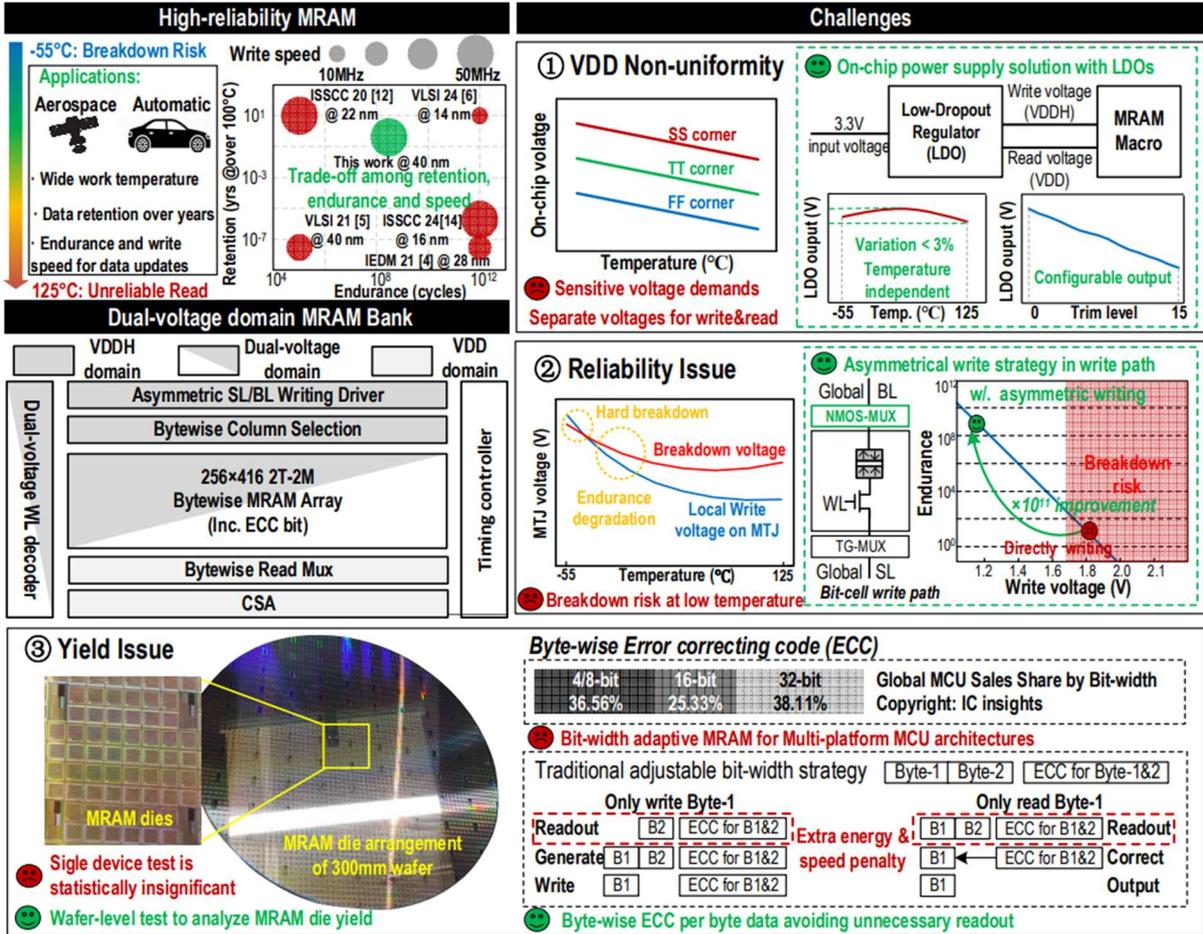


[그림 1] 10-4. 기존 FSPDN과 제안된 BSPDN 구조 및 다양한 BSPDN 옵션 비교

#10-5 본 논문은 Southeast University와 Hong Kong University of Science and Technology, 그리고 ACCESS (AI Chip Center for Emerging Smart Systems) 연구팀에서 발표한 것으로, -55°C에서 125°C까지 동작 가능한 고신뢰성 4Mb STT-MRAM을 40nm 공정 기반으로 설계·제작하고, 94.9%의 웨이퍼 레벨 다이 수율을 실리콘에서 실증한 결과를 담고 있다. 특히, 극한 환경에서도 동작 가능한 신뢰성 확보와 18ns의 빠른 쓰기 시간, 6ns의 읽기 시간 (Error correcting code 포함), 20년 데이터 유지 (retention), 10^8 이상의 내구성 (endurance)을 동시에 달성한 점이 핵심이다.

이를 위해 본 논문은 세 가지 핵심 기술을 도입하였다. 첫째, 온칩 전력 솔루션으로 온도 및 공정 변화에 독립적인 low-dropout regulators (LDOs) 회로를 활용해 읽기와 쓰기 전압을 안정적으로 생성하였으며, 최대 부하 전류 174.6mA에서 62 μ s의 빠른 기동 속도를 달성하였다. 둘째, asymmetrical write path를 도입하여 P2AP 및 AP2P 쓰기 상황에 따라 회로를 최적화함으로써, AP2P 쓰기에서 28.9%의 전력 소모 감소와 MTJ breakdown 위험 완화를 실현하였다. 셋째, Byte-wise ECC 구조를 도입해 8/16/24/32비트 MCU에 유연하게 대응할 수 있도록 하였으며, 이를 통해 다이 수율이 약 27.1% 향상됨을 실리콘 기반 측정을 통해 입증하였다.

또한, MTJ 열 안정성 향상을 위해 2T-2M 구조를 적용하여 기존 1T-1M 대비 고온 (125°C)에서의 읽기 마진이 102% 증가하였고, 300mm 웨이퍼 기반 전체 실측 분석에서 magnetic immunity, retention time, endurance 등의 항목에서도 자동차 및 항공우주급 신뢰성 요구사항을 만족하는 결과를 보여주었다.



[그림 2] 10-5. 제안된 4Mb STT-MRAM의 시스템 구조 및 신뢰성 확보를 위한 핵심 기술 요약

저자정보



한창우 박사과정 대학원생

- 소속 : 고려대학교 전기전자공학과
- 연구분야 : 차세대 반도체 소자 및 회로
- 이메일 : cwoo0105@naver.com
- 홈페이지 : <https://sites.google.com/view/kudclab>

2025 IEEE CICC Review

한양대학교 신소재공학과 통합과정 송충석

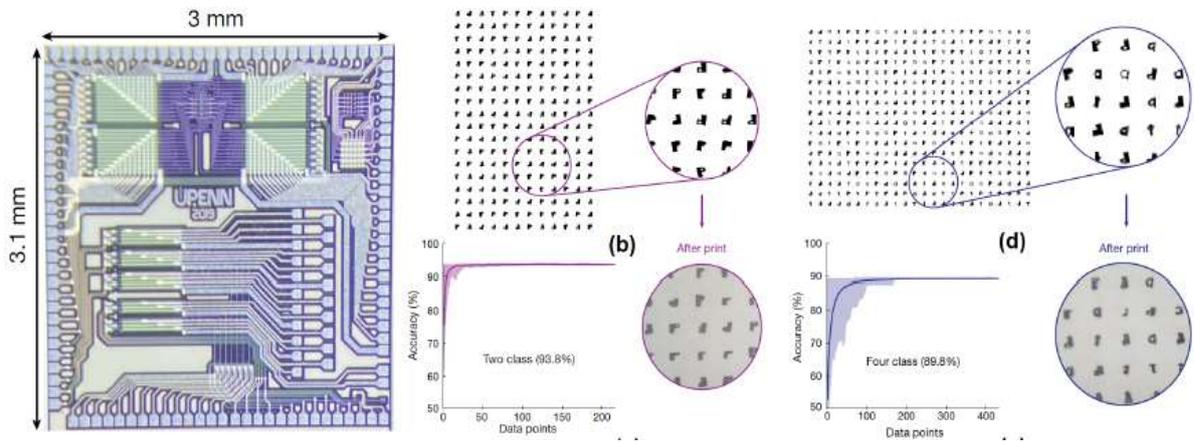
Session 23 Cryogenic and Silicon Photonic ICs

이번 2025 IEEE CICC의 Session 23은 Cryogenic and Silicon Photonic ICs라는 주제로 총 3편의 논문이 발표되었다.

#23-1 이 논문은 펜실베이니아 대학교에서 개발한 완전 통합형 photonic deep neural network (PDNN)에 관한 연구이다. 기존의 PDNN에서는 빠른 선형 동작과 낮은 전파 손실에서 장점을 가지지만 부분적으로 통합된 형태로 구현되거나 비선형 함수에 대한 구현이 부족하였다. 본 논문에서는 이러한 단점을 보완하여 비선형 함수를 탑재한 완전히 통합된 PDNN을 제시한다. 570ps의 매우 빠른 이미지 classification 시간을 달성했으며, 광학적 전파를 이용한 계산으로 빠르고 에너지 효율적인 classification을 수행하며, MNIST dataset에 대하여 2클래스에서 93.8%, 4클래스에서 89.8%의 정확도를 달성했다.

이 연구의 핵심은 reconfigurable, trainable한 광학 비선형 함수 (NLAF)를 45nm CMOS SOI 공정에서 집적시킨 것으로 6GHz 대역폭에서 ReLU와 Sigmoid 함수를 모두 지원하며, 임계 값, 기울기, 포화수준을 훈련 가능한 매개변수로 조정할 수 있어 PVT 변화에 대한 강건성을 제공한다. NLAF의 순방향 바이어스 모드로 ReLU가 구현되며 입력 전압이 임계 전압보다 작은 경우에는 NLAF의 p-n 접합이 꺼진 상태로 유지되어 출력이 낮게 유지되고, 임계전압보다 클 경우에는 접합이 켜져 출력이 증가하게 된다. 이와 반대로 역방향 바이어스 모드로 Sigmoid가 구현된다. 더불어 매개변수들이 네트워크 훈련 중에 최적화되어 PVT 변화의 영향을 효과적으로 보상하게 된다. MNIST 실험에서 단 40에서 452개의 NLAF 매개변수만 조정함으로써 수만 개의 네트워크 가중치에 대한 PVT 보상을 달성했다.

이 연구는 광학 신경망 분야에서 중요한 기술적 진전을 보여주며 특히 PVT 변화에 대한 강건성 문제를 효과적으로 해결한 점이 인상적이다. 그러나 현재 실험이 상대적으로 단순한 MNIST에 대해서만 이루어졌으며, 이는 더 복잡한 실제 응용에서의 성능 검증과 확장성에 대한 추가 연구가 요구된다.



[그림 1] 제안된 통합 집적형 PDNN 칩. 2-class 분류와(b) 4-class 분류예시(d)

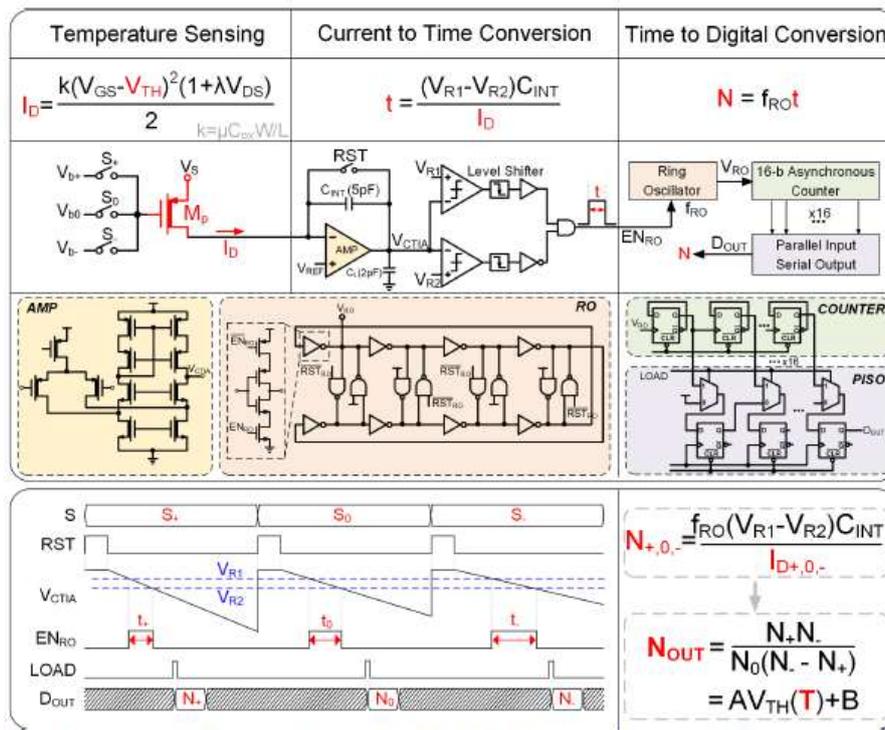
#23-2 이 논문은 극저온부터 고온까지 동작 가능한 파이프라인 TI-SAR-ADC를 제시한다. 양자 컴퓨팅과 광대역 항공우주/자동차 무선통신의 증가하는 요구에 따라 4K부터 상온까지의 넓은 온도 범위에서 작동하면서 높은 샘플링 속도와 해상도를 달성할 수 있는 ADC 기술이 요구되었는데 기존 ADC는 극저온에서 문턱전압이 약 100mV 가까이 변화하고, 캐리어의 모빌리티가 1.5배 이상 증가하는 등 소자 매개변수의 극단적인 변화로 인해 기존 ADC의 활용성이 심각하게 제한되었다.

해당 논문은 Buffer-then-Amplify (BTA) 소스 팔로워(SF) 증폭 방식을 제안한다. 기존의 Amplify-then-Buffer (ATB) 방식과 달리, BTA 방식은 커패시터 차지 펌프를 SF 출력단에 배치하여 SF가 작은 신호만 처리하도록 함으로써 SF의 선형성을 최대한 활용한다. 이를 통해 2차 단계부터 time-interleaving을 적용하여 증폭 전 양자화 문제를 해결하고(기존의 ATB 방식은 증폭되지 않은 작은 신호를 2차 단계의 sub-ADC를 통해 양자화 해야 하는데, 작은 신호를 양자화하기 어렵고 노이즈에 취약함), 고차 보정 없이도 낮은 단계의 보정만으로 10비트 이상의 선형성을 달성할 수 있게 된다. 이를 통해 간단한 회로만으로 고속동작과 높은 효율의 calibration을 구현하게 되어 극저온에서의 소자 특성이 변하는 상황에서 장점을 발휘하게 된다.

12nm FinFET 공정에서 제작된 프로토타입은 0.024mm²의 면적으로, 4.6K부터 373K까지의 온도 범위에서 800MS/s 샘플링 속도로 54.7dB 이상의 SNDR을 달성한다. 300MS/s 이상, 10비트 이상 ADC 중 가장 넓은 동작 온도 범위를 가지며, 100K 미만에서 작동하는 극저온 ADC 중 최고의 FoM (15.4fj/conversion-step)을 달성한다.

시간으로 295mK 의 RMS 해상도를 달성한다. 10K 부터 410K 까지의 초광대역 동작 범위에서 0.5%의 상대 정확도를 보여준다.

이 연구는 극저온 온도 센싱 분야에서 PMOS 트랜지스터의 독특한 물리적 특성을 활용한 혁신적인 접근법을 제시한다. 특히 기존 센서들에서 한계를 보인 극저온 영역에서 동작하는 센서를 구현한 점은 추후 응용분야에서 활용될 가능성이 높아 보인다. 단, 장기간 신뢰성과 공정 변화에 대한 PVS 강건성에 대해서는 추가 연구가 필요해 보인다.



[그림 3] 제안한 온도 센서의 스키마틱과 동작 timing diagram.

저자정보



송충석 통합과정 대학원생

- 소속 : 한양대학교
- 연구분야 : 딥러닝 가속기 설계
- 이메일 : scs940430@hanyang.ac.kr
- 홈페이지 : <https://sites.google.com/site/dsjeonglab1/home>